

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-204528

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶

H03K 17/687

識別記号

庁内整理番号

9184-5K

FI

H03K 17/687

技術表示箇所

G

審査請求 未請求 請求項の数8 FD (全7頁)

(21)出願番号

特願平7-27308

(22)出願日

平成7年(1995)1月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小浜 一正

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 スイッチ回路及び複合スイッチ回路

(57)【要約】

【目的】本発明はスイッチ回路において、挿入損失を一段と低下させる。

【構成】電界効果トランジスタのドレイン端子とグランドとの間、及び又は、電界効果トランジスタのソース端子とグランドとの間に第1の容量及び又は第2の容量を接続し、当該容量値を信号特性に応じて設定する。これにより所望の周波数における挿入損失の低いスイッチ回路を容易に得ることができる。

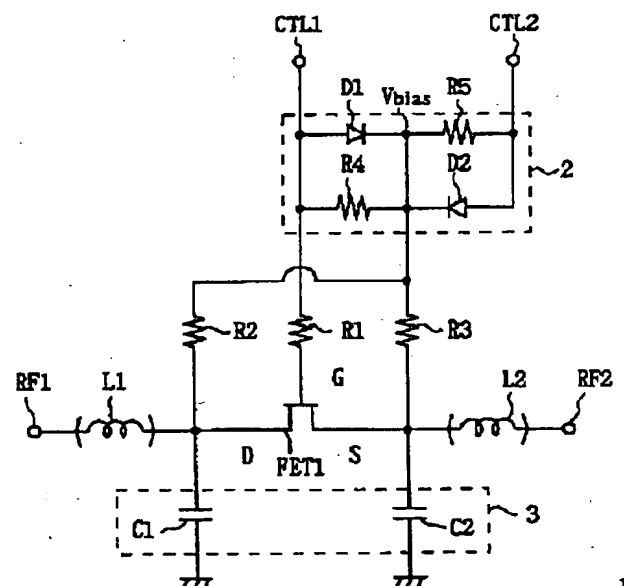


図1 スイッチ回路の構成

【特許請求の範囲】

【請求項1】ドレインソース間を信号通路とする電界効果トランジスタと、

上記電界効果トランジスタのゲート端子に接続された高インピーダンス素子と、

上記電界効果トランジスタのドレイン端子とグランドとの間に接続された第1の容量及び又は上記電界効果トランジスタのソース端子とグランドとの間に接続された第2の容量とを具えることを特徴とするスイッチ回路。

【請求項2】請求項1に記載のスイッチ回路を複数個組み合わせてなることを特徴とする複合スイッチ回路。

【請求項3】大きさの異なる第1及び第2の電圧がそれぞれ互い違いに印加される第1及び第2の制御端子を有し、当該第1及び第2の制御端子に印加された上記第1及び第2の電圧に基づいてバイアス電圧を生成するバイアス電圧発生手段と、

ドレインソース間を信号通路とする電界効果トランジスタと、

上記電界効果トランジスタのゲート端子と上記第1の制御端子との間に接続された高インピーダンス素子とを具えることを特徴とするスイッチ回路。

【請求項4】上記バイアス電圧発生手段は、

上記第1の制御端子と出力端子と間に、上記第1の制御端子から上記出力端子への方向が順方向になるように接続された第1のダイオードと、

上記第1の制御端子と上記出力端子との間に上記第1のダイオードに対して並列に接続された第1の抵抗とを有し、

上記第2の制御端子と上記出力端子と間に、上記第2の制御端子から上記出力端子への方向が順方向になるように接続された第2のダイオードと、

上記第2の制御端子と上記出力端子との間に上記第2のダイオードに対して並列に接続された第2の抵抗とを有することを特徴とする請求項3に記載のスイッチ回路。

【請求項5】上記電界効果トランジスタのドレイン端子と上記バイアス電圧発生手段の出力端子との間に接続された第2の高インピーダンス素子、及び又は、上記電界効果トランジスタのソース端子と上記バイアス電圧発生手段の出力端子との間に接続された第3の高インピーダンス素子とを具えることを特徴とする請求項1又は請求項4に記載のスイッチ回路。

【請求項6】請求項5に記載のスイッチ回路を複数個組み合わせてなることを特徴とする複合スイッチ回路。

【請求項7】上記電界効果トランジスタはマルチゲート電界効果トランジスタでなることを特徴とする請求項1、請求項3、請求項4又は請求項5に記載のスイッチ回路。

【請求項8】上記電界効果トランジスタは接合型電界効果トランジスタでなることを特徴とする請求項1、請求項3、請求項4又は請求項5に記載のスイッチ回路。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術

発明が解決しようとする課題（図6）

課題を解決するための手段（図1）

作用

実施例（図1～図5）

（1）基本構成（図1）

（2）バイアス回路部（図2）

（3）マッチング回路部（図3及び図4）

（4）他の実施例（図5）

発明の効果

【0002】

【産業上の利用分野】本発明はスイッチ回路及び複合スイッチ回路に関し、特に高周波信号の入出力を切り替えるものに適用して好適なものである。

【0003】

【従来の技術】現在、自動車電話や携帯電話等の移動体通信システムがビジネスとして大きく発展してきている。ところで都市部では通信回線の不足が深刻になってきており、各国で様々な移動体通信システムの実用化が進められている。これらの通信システムではアナログ通信方式でなくデジタル通信方式が多くの場合採用されており、また通信帯域も現在の移動体通信システムより高周波側の準マイクロ波帯が使用されている。

【0004】そして準マイクロ波帯の信号を送受するこれら通信システムでは携帯端末の信号処理部に半導体電界効果トランジスタ（FET）が多くの場合用いられている。特に携帯性が重視される携帯端末の場合、小型化、低電圧駆動化、および低消費電力化を実現できるGaAs FETを使用したモノリシック・マイクロウェーブIC（以下、MMIC（Monolithic Microwave IC）という）の開発が重要視されている。中でも携帯端末内で高周波信号を切り替える高周波スイッチがキーデバイスの1つとなつてきている。

【0005】ここでFETをスイッチングデバイスとして用いる場合の動作を説明する。まずオン状態で用いるときにはゲートにFETのピンチオフ電圧より充分高いバイアスを印加し、またオフ状態で使用する場合にはゲートにFETのピンチオフ電圧より充分低いバイアスを印加する。この状態でゲートにFETのピンチオフ電圧より充分高いバイアスを印加することによつてドレインソース間を低インピーダンスの状態に制御できFETをオンすることができる。またこの状態でゲートにFETのピンチオフ電圧より充分低いバイアスを印加することによつてドレインソース間を高インピーダンスの状態に制御できFETをオフすることができる。

【0006】さて現在市販されているGaAs FETの

場合、オン状態のときドレインソース間に接続された抵抗成分と近似でき、またオフ状態のときドレインソース間に接続された容量成分と近似できる。このときFETの抵抗値及び容量値はそれぞれ、FETの単位ゲート幅(Wg)当たり数 $[\Omega/\text{mm}]$ 及び数百 $[\text{fF}/\text{mm}]$ とできる。例えば抵抗 R_{on} は $2[\Omega/\text{mm}]$ 、容量 C_{off} は $300[\text{fF}/\text{mm}]$ となる。

【0007】上記のようなFETを用いてFETスイッチを構成する場合、ゲート幅Wgとして $1[\text{mm}]$ 程度のFETを用いれば、数 $[\text{GHz}]$ 以下の信号を扱う場合、オン状態での損失を $0.2[\text{dB}]$ 程度と小さく抑えられるはずである。

【0008】

【発明が解決しようとする課題】ところが上述したようにFETスイッチを携帯電話端末等に用いる場合、コストを下げるためにFET又はFETを用いたスイッチICをプラスチックモールドパッケージ等の安価なパッケージに実装することが多い。このようなプラスチックモールドパッケージは準マイクロ波帯以上の周波数になると、挿入損失に与える影響が無視できなくなる。

【0009】特に半導体チップとパッケージの信号ピンを金等のボンディングワイヤ等で接続する場合、このボンディングワイヤのインダクタンスがスイッチの挿入損失に大きく影響をおよぼす問題があった。この損失は実際にはインピーダンス不整合による反射損である。例えばゲート幅Wgが $1[\text{mm}]$ のFET($R_{on}=2[\Omega]$)の入出力端子に、それぞれボンディングワイヤ等による $2[\text{nH}]$ のインダクタンスを付加した場合、図6において破線で示すように、損失は例えば $2[\text{GHz}]$ において $0.2[\Omega]$ から $1.1[\Omega]$ に増大している。従ってスイッチICの低挿入損失化を考えた場合、ボンディングワイヤ等のインダクタンスの低減が必要となる。

【0010】しかしモールドパッケージでは、実装条件の自由度が小さくインダクタンスの低減はそれほど簡単ではない。また信号端子の半導体チップとパッケージの接続にボンディングワイヤを多数本並列に使用する等すればインダクタンスをある程度低減することができるが、チップ面積が増大する等のデメリットも大きいので得策とは言い難い。そこで上記のような問題を回避する策としてボンディングワイヤのインダクタンスと、信号経路及びグランド間に存在する寄生容量との共振を用いてワイヤボンディングによる損失を小さくしようとする試みがある。

【0011】しかしながらこの場合、寄生容量及びボンディングワイヤの寄生インダクタンスは共に副次的なもので容易にコントロールできるパラメータではない。例えば寄生容量をICチップ上に形成されるFETのゲート幅でコントロールすることが考えられるが、このようなコントロールを行うことによりスイッチ回路としての最適な構成を取ることができるとは限らず、結局、挿入

損失やアイソレーション特性の劣化につながりかねない。このように挿入損失低減のため最適となるようにボンディングワイヤのインダクタンス値と寄生容量値を取することは非常に難しいという問題があった。

【0012】また前にも述べたように、FETをスイッチ用として用いる場合には、ピンチオフ電圧より充分大きく、オン抵抗を充分小さくできるオンバイアスと、FETが完全にオフさせることができるオフバイアスとをゲート端子に印加しなければならないが、一般にオフバイアスには負電位が必要となる。これはピンチオフ電圧 V_p が $0[\text{V}]$ 以下に設定される場合が多いためである。ところが負電源はDC-DCコンバータ等を必要とするためコスト、サイズ、消費電力の点で好ましくない。

【0013】これを回避するには正電源のみによってスイッチ回路が動作すれば良い。実際、FETのドレイン端子及びソース端子に正のバイアス(V_{bias})を印加し、かつゲートに $0[\text{V}]$ 以上(一般に $0[\text{V}]$)の電位を印加する場合でもドレイン及びソースに対するゲートの相対的な電位を負にすることができ、この場合にはFETをオフ状態(ピンチオフ状態)に制御できる。

【0014】しかしながらこの場合にはバイアス(V_{bias})端子が余分に必要となる問題がでてくる。またバイアス(V_{bias})端子から伸びるバイアス線の引き回しは回路の占有面積の増大、さらにはICの半導体チップサイズ及びICパッケージサイズの増大につながりかねない。またバイアス端子の存在はアイソレーション特性の劣化等の原因となる。

【0015】またこれに加えて、バイアス(V_{bias})を印加する場合、充分低いオン抵抗を得るためにはバイアス(V_{bias})をゲートのオンバイアスに対してビルトイン電圧 V_{bi} 程度低い電位に設定する必要がある。このためバイアス(V_{bias})電位はFETの制御電位(オンバイアス)に応じて変動させなければならない。しかしながらこれは正電源制御スイッチIC等を使用するユーザーにとって面倒である。

【0016】本発明は以上の点を考慮してなされたもので、従来に比して高周波信号に対する挿入損失の小さいスイッチ回路を提案しようとするものである。また高いアイソレーション特性を実現できる正電源駆動のスイッチ回路及びこれらを用いた複合スイッチ回路を提案しようとするものである。

【0017】

【課題を解決するための手段】かかる課題を解決するため本発明のスイッチ回路においては、ドレインソース間を信号通路とする電界効果トランジスタ(FET1)と、電界効果トランジスタ(FET1)のゲート端子(G)に接続された高インピーダンス素子(R1)と、電界効果トランジスタ(FET1)のドレイン端子(D)とグランドとの間に接続された第1の容量(C

1) 及び又は電界効果トランジスタ (FET1) のソース端子 (G) とグランドとの間に接続された第2の容量 (C2) とを設ける。

【0018】また本発明のスイッチ回路においては、大きさの異なる第1及び第2の電圧 (V_{CTL1} 及び V_{CTL2}) がそれぞれ互い違いに印加される第1及び第2の制御端子と、当該第1及び第2の制御端子に印加された第1及び第2の電圧に基づいてバイアス電圧 (V_{bias}) を生成するバイアス電圧発生手段 (2) と、ドレイン-ソース間を信号通路とする電界効果トランジスタ (FET1) と、電界効果トランジスタ (FET1) のゲート端子 (G) と第1の制御端子 (CTL1) との間に接続された高インピーダンス素子 (R1) とを設ける。さらに本発明の複合スイッチ回路においては、前述のスイッチ回路を複数個組み合わせる。

【0019】

【作用】電界効果トランジスタ (FET1) のドレイン端子 (D) とグランドとの間、及び又は電界効果トランジスタ (FET1) のソース端子 (S) とグランドとの間に接続された第1の容量 (C1) 及び又は第2の容量 (C2) の容量値を可変することにより信号線路上に存在する寄生インダクタンス (L1 及び L2) とのこれら容量によって得られる整合特性を調整する。これにより所望の周波数での挿入損失を一段と低減することができる。

【0020】第1及び第2の制御端子 (CTL1 及び CTL2) に印加される2種類の電圧に基づいてバイアス電圧 (V_{bias}) を生成することにより、正電源を用いる場合にもバイアス専用の端子をなくすることができる。この分、パッケージやチップを一段と小型化できる。またこれに伴いバイアスラインを介した信号のれれもなくし得、アイソレーション特性を向上できる。

【0021】

$$|Z_d(\text{Low})| < |R_4|, |R_5| < |Z_d(\text{High})| \quad \text{---- (1)}$$

が成り立つとすると、バイアス回路部2の等価回路は図2のようになる。従ってダイオードD1と抵抗R5の接続中点に当たるバイアス端子 V_{bias} には、ダイオードの接合ビルトイン電圧 V_{bi} 分だけ $V(\text{High})$ より電圧降下した電位 $V(\text{High}) - V_{bi}$ が印加される。これは制御端子 CTL2 の電位 V_{CTL2} が他方の制御端子 CTL1 の電位 V_{CTL1} より大きい場合 (すなわち $V_{CTL2} > V_{CTL1}$ の場合) にも同様である。

【0026】さて制御端子 CTL1 及びバイアス端子 V_{bias} は高インピーダンスの抵抗 R1 及び R2、R3 を介して FET1 のゲート端子及びドレイン端子、ソース端子に接続されている。これら制御端子 CTL1 及びバイアス端子 V_{bias} に印加される直流電圧 V_{CTL1} 及び $V(\text{High}) - V_{bi}$ によってゲート端子及びドレイン端子、ソース端子が直流バイアスされ、信号経路からの高周波信号の漏れが防がれている。結果として、ゲート端子のドレ

*【実施例】以下図面について、本発明の一実施例を詳述する。

【0022】(1) 基本構成

図1にスイッチ回路1の基本構成を示す。このスイッチ回路1は2つの制御端子 CTL1 及び CTL2 に印加される2種類の電位に基づいてバイアス電圧を発生するバイアス電圧発生部2と、信号線路に対してシヤントの位置に配置された容量 C1 及び C2 によってなるマッチング回路部3とを有することを特徴とする。ここではまずバイアス回路部2について説明し、続いてマッチング回路3について説明する。

【0023】(2) バイアス回路部

バイアス回路部2は2つの制御端子 CTL1 及び CTL2 間に接続されたダイオード D1、D2 及び抵抗 R4、R5 によって構成されている。ここで制御端子 CTL1 及び CTL2 には互い違いに2種類の電位 $V(\text{High})$ 及び $V(\text{Low})$ ($V(\text{High}) > V(\text{Low})$) が印加されるようになっている。例えば制御端子 CTL1 に $3[V] / 0[V]$ が印加されるとき、他方の制御端子 CTL2 には $0[V] / 3[V]$ が印加されるといった具合である。

【0024】ここでは制御端子 CTL1 の電位 V_{CTL1} が他方の制御端子 CTL2 の電位 V_{CTL2} より大きいとして (すなわち $V_{CTL1} > V_{CTL2}$ として)、バイアス回路部2がバイアス電圧を発生する様子を説明する。このときダイオード D1 は順方向にバイアスされ、ダイオード D2 は逆方向にバイアスされる。その結果、ダイオード D1 は低インピーダンス $Z_d(\text{Low})$ の状態となり、ダイオード D2 は高インピーダンス $Z_d(\text{High})$ の状態となる。

【0025】ここで次式

【数1】

イン端子 (ソース端子) に対する相対電位は V_{bi} ($V_{CTL1} = V(\text{High})$ の時)、又は $V(\text{Low}) - V(\text{High}) + V_{bi}$ ($V_{CTL1} = V(\text{Low})$ の時) となる。

【0027】一般に FET のドレイン-ソース間抵抗は、FET のゲート端子に印加されるバイアス電圧がビルトイン電圧程度で飽和傾向となるため、スイッチ用 FET としてのゲート端子に印加するオンバイアス電圧はビルトイン電圧程度に設定するのが適当である。これはたとえゲート端子にビルトイン電圧以上の電圧を印加しようとしてもゲート端子にリーク電流が流れ、ゲート端子に接続した抵抗で電圧降下を起こすためビルトイン電圧以上の電圧はゲートにはかかり難いことによる。

【0028】従って上記のようにいかなる大きさの制御電圧でコントロールしたとしても (ただし $V(\text{Low})$ と $V(\text{High})$ の差はビルトイン電圧以上必要である)、オン状態にあるゲート端子のドレイン端子 (ソース端子)

に対する相対電位はスイッチ用 FET として最適電圧のビルトイン電圧 V_{bi} となる。以上のように、バイアス回路部 2 を設けたことにより、外部接続用のバイアス端子を不要とでき、パッケージやチップの小型化を実現できる。またバイアス線も不要にできるのでバイアス線を紹介した信号の漏れもなくし得、性能の向上を実現できる。また正電源のみでスイッチ回路 1 を制御できる。さらに制御電圧を変えた場合においても IC 中で用いられる FET のオンバイアスは最適値を維持できる。

【0029】(3) マッチング回路部

マッチング回路部 3 は信号線路に対してシヤントの位置に配置された容量 C1、C2 と信号経路上の寄生インダクタンス L1、L2 とによって伝送系とのインピーダンス *

$$Z_{in} = j\omega L + \frac{(j\omega L + R) / j\omega C}{(1 / j\omega C + j\omega L + R)} \\ = \frac{j\omega(L - \omega^2 L^2 C + L - CR^2)}{(1 - \omega^2 LC + j\omega CR)} + R \quad \dots\dots (2)$$

となる。従って整合周波数 f は、次式

※20※【数3】

$$f = 1 / (2\pi L) \left((2L - CR^2) / C \right)^{1/2} \quad \dots\dots (3)$$

となる。この式より例えば L が 2 [nH]、C が 1 [pF] とすると、整合周波数 f は 3.1 [GHz] となる。

【0031】次にスイッチ回路 1 における寄生インダクタンス L を 1 [nH] として C の値を変化させた場合の挿入損失の周波数特性のシミュレーション結果を図 4 に示す。ただしこのシミュレーション結果は、FET としてゲート幅 1 [mm]、ゲート長 0.5 [μ m] の GaAs 電界接合型 FET (JFET) を用いた場合の例である。この図から C = 250 [fF]、500 [fF] のとき、C = 0 の場合より損失が小さくなっている領域があり、この整合用容量の効果があることが分かる。

【0032】また図 4 と先の整合周波数の式より、数 [GHz] 程度の周波数の場合、整合用容量の大きさは、高々 1 [pF] 程度で低損失化の効果があることが分かる。ただしボンディングワイヤ等による寄生インダクタンスは数 [nH] だとする。また 1 [pF] 程度の容量値は、通常の GaAs FET プロセスの窒化シリコン絶縁膜を用いた MIM (Metal-Insulator-Metal) 容量の場合、100 [μ m] 角程度の大きさで実現できるため、半導体チップ上の占有面積は非常に小さくて済むことになる。また、非常に小さな容量をチップ上に作り込むことにより、所望の周波数で挿入損失を低減できる。

【0033】(4) 他の実施例

なお上述の実施例においては、スイッチ回路 1 としてバイアス回路部 2 及びマッチング回路部 3 の両方を備えるものについて述べたが、本発明はこれに限らず、バイアス回路部 2 だけを備えるスイッチ回路にもマッチング回路部 3 だけを備えるスイッチ回路にも適用し得る。

【0034】また上述の実施例においては、FET 1 の

* スを整合し、損失の低減を図っている。図 3 にスイッチがオン状態のときの等価回路を示す。ただし図では高周波信号の入出力端子 RF1、RF2 の部分に存在するボンディングワイヤ等の寄生インダクタンスを L1 及び L2 とし、また簡単のために FET のオン抵抗は 0 とする。また容量 C_{total1} は容量 C1 と寄生容量 C' との合成容量を示しており、また容量 C_{total2} は容量 C2 と寄生容量 C'' との合成容量を示している。

【0030】この図より、寄生インダクタンス L1 及び L2 を L とし、合成容量 C_{total1} 及び C_{total2} を $C/2$ とし、角周波数を ω 、伝送系の特性インピーダンス、終端を R とすると、入力インピーダンス Z_{in} は、次式

【数2】

ドレイン端子及びソース端子にそれぞれ高インピーダンス素子を接続する場合について述べたが、本発明はこれに限らず、いずれか一方にだけ高インピーダンス素子を接続する場合にも適用し得る。

【0035】さらに上述の実施例においては、FET 1 のドレイン端子とグランドとの間及びソース端子とグランドとの間に容量 C1 及び C2 をそれぞれ接続する場合について述べたが、本発明はこれに限らず、いずれか一方にだけ容量を接続する場合にも適用し得る。

【0036】さらに上述の実施例においては、FET 1 としてシングルゲート FET を用いる場合について述べたが、本発明はこれに限らず、デュアルゲート FET の場合にもマルチゲート FET の場合にも広く適用し得る。

【0037】さらに上述の実施例においては、FET 1 として接合型 FET を用いる場合について述べたが、本発明はこれに限らず、MESFET の場合にも適用し得る。

【0038】さらに上述の実施例においては、基本的なスイッチ回路 1 について述べたが、本発明はこれに限らず、これらスイッチ回路 1 を複数個組み合わせる複合型のスイッチ回路にも適用し得る。例えば図 5 に示すように、信号線路に対してシリーズの位置とシヤントの位置にそれぞれスイッチ回路 1 が配置される複合型のスイッチ回路にも適用し得る。

【0039】

【発明の効果】上述のように本発明によれば、電界効果トランジスタのドレイン端子とグランドとの間、及び又は、電界効果トランジスタのソース端子とグランドとの

間に第1の容量及び又は第2の容量を接続し、当該容量値を信号特性に応じて設定することにより所望の周波数における挿入損失の低いスイッチ回路を実現することができる。

【0040】また本発明によれば、電界効果トランジスタを用いたスイッチ回路に2つの制御端子に印加される制御電圧からバイアス電圧を発生するバイアス回路を設けたことにより、正電源を用いる場合にも専用のバイアス端子をなくし得るアイソレーション特性に優れたスイッチ回路を実現することができる。

【図面の簡単な説明】

【図1】 本発明によるスイッチ回路の一実施例を示す接続図である。

【図2】 2つの制御端子に異なる電位が印加された状態

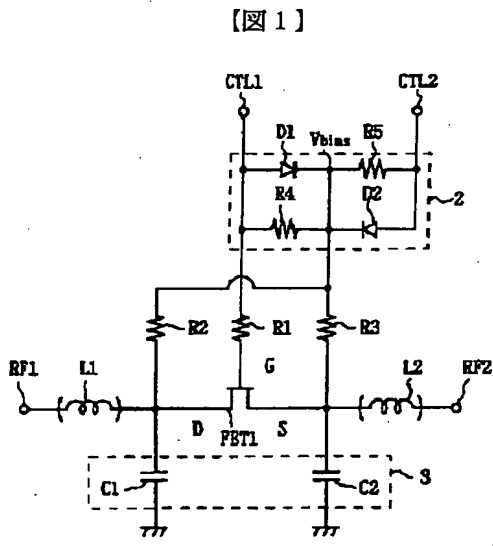


図1 スwitch回路の構成

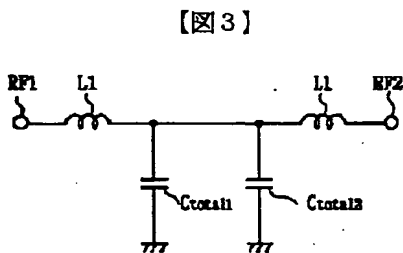


図3 スwitchオン時の信号線等価回路

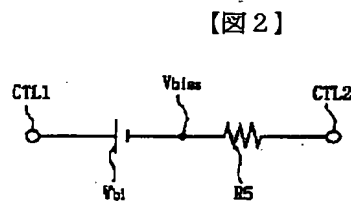


図2 バイアス電圧発生回路部の等価回路
($V_{CTL1} > V_{CTL2}$ のとき)

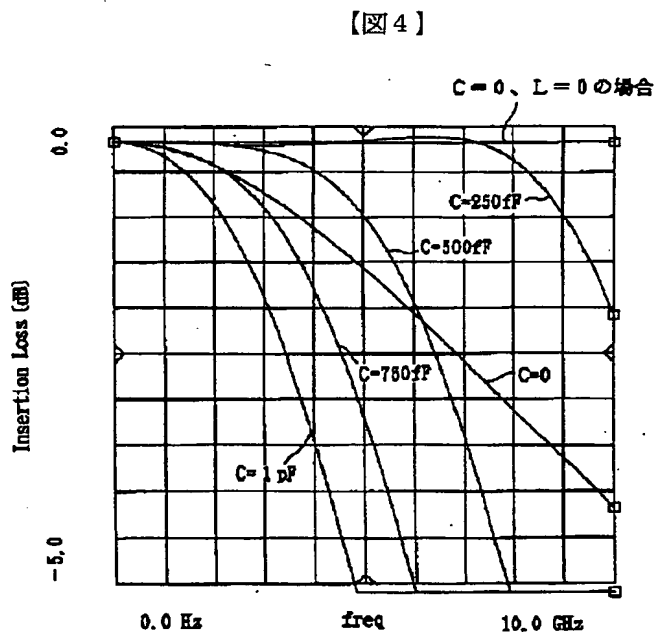


図4 挿入損失特性 (実施例)

におけるバイアス回路部の等価回路を示す接続図である。

【図3】 スwitch回路がオン状態に制御されている状態における信号線路の等価回路を示す接続図である。

【図4】 マatching回路部による挿入損失の改善の説明に供する特性曲線図である。

【図5】 複合スSwitch回路の説明に供する接続図である。

【図6】 寄生インダクタンスによる挿入損失の説明に供する特性曲線図である。

【符号の説明】

1 ……スSwitch回路、 2 ……バイアス回路部、 3 ……マatching回路部。

【図5】

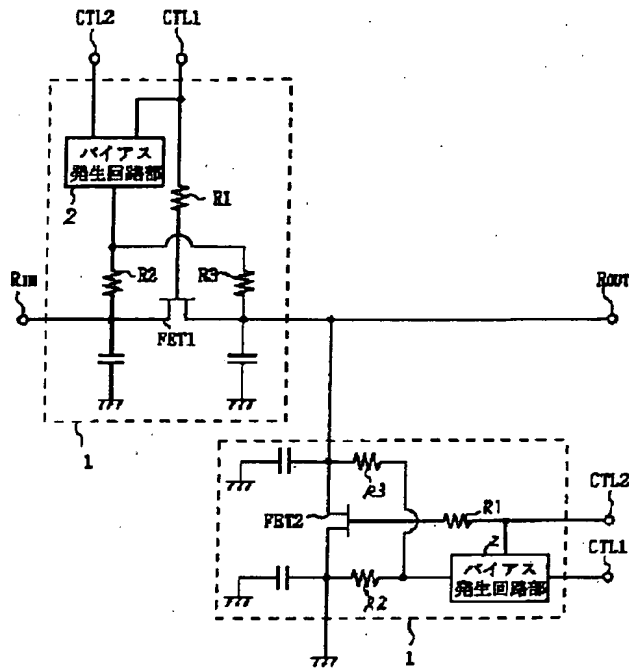


図5 複合スイッチ回路の構成

【図6】

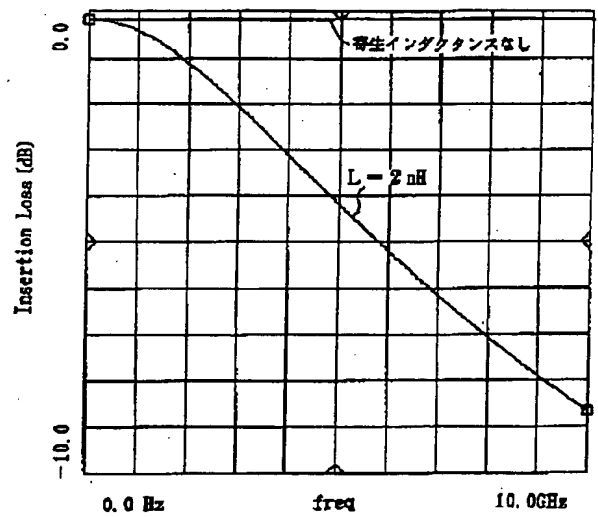


図6 寄生インダクタンスによる挿入損失特性